

Japanese Laid-open Patent

Laid-open Number:       Hei 5-66413  
Laid-open Date:         March 19, 1993  
Application Number:     Hei 3-226206  
Filing Date:            September 5, 1991  
Applicant:              Sony Corporation

[Title of the Invention]

LIQUID CRYSTAL DISPLAY DEVICE

[Abstract]

[Object] To provide a liquid crystal display device in which a protective layer for transistors is easily formed and which has stable transistor characteristics without using an SiN based protective layer.

[Structure] The device comprises an active matrix substrate 1, with a liquid crystal display portion consisting of matrix-like pixel electrodes 13 and a thin film transistor portion for driving the pixel electrodes, a scanning line driving circuit 4 connected to the liquid crystal display portion, and a signal line driving circuit 5 connected to the liquid crystal display portion, all formed thereon, an upper substrate 2 entirely opposed to the active matrix substrate, and a liquid crystal layer sandwiched between the active matrix substrate 1 and the upper substrate 2, the liquid

crystal display portion being protected by a silicon oxide based insulating film and the liquid crystal layer.

[Scope of Claim for a Patent]

[Claim 1] A liquid crystal display device comprising:

an active matrix substrate, with a liquid crystal display portion consisting of pixel electrodes disposed so as to be matrix-like and a thin film transistor portion for driving said pixel electrodes, a scanning line driving circuit connected to said liquid crystal display portion, and a signal line driving circuit connected to said liquid crystal display portion, all formed thereon;

an upper substrate entirely opposed to said active matrix substrate; and

a liquid crystal layer sandwiched between said active matrix substrate and said upper substrate,

characterized in that said liquid crystal display portion is protected by a silicon oxide based insulating film and said liquid crystal layer.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Application]

The present invention relates to a liquid crystal display device, and more particularly, to a liquid crystal display device with driving circuits formed of thin film transistors being built in

a liquid crystal cell.

[0002]

[Prior Art]

In a conventional liquid crystal display device, as shown in Fig. 21, a horizontal (scanning line) driving circuit (Horizontal-Driver) 4 and a vertical (signal line) driving circuit (Vertical-Driver) 5 with thin film transistors (TFTs) formed thereon are provided outside a liquid crystal cell portion. More particularly, an upper substrate 14, a lower substrate 15, and a liquid crystal layer (not shown) sandwiched between the upper and lower substrates and encapsulated with a spacer 16 are constructed so as to be entirely opposed to each other only at the liquid crystal cell portion.

[0003]

In this way, in a state where the driving circuits with TFTs formed thereon are provided outside the liquid crystal cell portion, it is necessary to use at the TFT portion used as the driving circuits an SiN based protective layer for preventing moisture and movable ions such as sodium from coming into the driving circuits.

[0004]

On the other hand, in the liquid crystal cell, since a polyimide (PI) based orienting agent is used, a silicon dioxide ( $\text{SiO}_2$ ) based protective insulating film for the TFTs has to be used at the pixel portion.

[0005]

[Problems to be solved by the Invention]

When an SiN based insulating film is used instead of the above-mentioned SiO<sub>2</sub> based one as the protective layer for the transistors in the liquid crystal cell, the adhesion and orienting film evenness of polyimide are impaired, resulting in impaired orientation of the liquid crystal. Further, when an SiN based protective layer is used in the upper portion of the transistors, the membrane stress remaining in the SiN shifts the characteristics, for example,  $V_{TH}$ , of the transistors.

[0006]

Though Japanese Patent Publication No. Hei 2-61032 discloses a liquid crystal display device with respective driving circuits built in a liquid crystal cell, the liquid crystal display device has no definition with regard to the material of a passivation film for protecting the transistors, still leaving the above-mentioned problem unsolved.

[0007]

An object of the present invention is to provide a liquid crystal display device in which a protective layer for transistors is easily formed and which has stable transistor characteristics without using an SiN based protective layer.

[0008]

[Means for solving the Problems]

According to the present invention, the above-mentioned problems are solved by a liquid crystal display device comprising an active matrix substrate, with a liquid crystal display portion consisting of pixel electrodes disposed so as to be matrix-like and a thin film transistor portion for driving the pixel electrodes, a scanning line driving circuit connected to the liquid crystal display portion, and a signal line driving circuit connected to the liquid crystal display portion, all formed thereon, an upper substrate entirely opposed to the active matrix substrate, and a liquid crystal layer sandwiched between the active matrix substrate and the upper substrate,

characterized in that the liquid crystal display portion is protected by a silicon oxide based insulating film and the liquid crystal layer.

[0009]

[Operation]

According to the present invention, a liquid crystal display portion consisting of pixel electrodes 13 and thin film transistors, a scanning line driving circuit 4, and a signal line driving circuit 5 are formed on an active matrix substrate. An upper substrate 2 is formed so as to be entirely opposed to the active matrix substrate, and further, the liquid crystal display portion is protected by a silicon oxide based insulating film and a liquid crystal layer,

and thus, the process of forming a protective layer for the transistors is simplified. Further, since an SiN based protective layer is not used, deterioration of the characteristics, for example,  $V_{TH}$ , of the transistors due to the membrane stress remaining in an SiN film is not caused.

[0010]

According to the present invention, PSG (phosphosilicate glass), BSG (borosilicate glass), or the like is preferably used as the silicon oxide based insulating film. Of course,  $SiO_2$  (silicon dioxide) may be used.

[0011]

[Embodiment]

An embodiment of the present invention is described in detail in the following based on the drawings.

[0012]

Fig. 1 is a schematic perspective view illustrating an embodiment of a liquid crystal display device according to the present invention. As shown in Fig. 1, a liquid crystal display device according to the present invention has an active matrix substrate 1 as a lower substrate with thin film transistors formed thereon as active switching devices, an upper substrate 2 opposed to the active matrix substrate 1, and a liquid crystal layer sandwiched between the substrates 1 and 2 and encapsulated with a spacer 3. A horizontal (scanning line) driving circuit 4 and a vertical

(signal line) driving circuit 5 are provided on the active matrix substrate 1 in a built-in form within a liquid crystal cell, respectively. Further, in the present liquid crystal display device, as illustrated in further detail in Fig. 2, a silicon oxide based insulating film such as PSG is used as an insulating film (passivation film) for protecting the transistors. Further, the liquid crystal layer itself contributes to the protection of the transistors.

[0013]

Figs. 2(a) and (b) are a partial sectional view of the driving circuit portion and a partial sectional view of the pixel switch portion, respectively, of the liquid crystal display device of the present invention illustrated in Fig. 1.

[0014]

First, as illustrated in Fig. 2(a), a CMOS portion in the driving circuit portion is particularly illustrated. The CMOS portion is formed of a gate insulating film 7, a polycrystalline silicon (poly-Si) gate 8, an aluminum (Al) electrode 9, PSG protective layers 10a and 10b, a PSG interlayer insulating film 10c, and a polyimide orienting film 11.

[0015]

Next, the pixel switch illustrated in Fig. 2(b) is formed of a pixel portion, a thin film transistor (TFT) portion, and a storage capacitor (Cs) portion. Symbols in Fig. 2(b) which are identical

to those in Fig. 2(a) denote identical elements.

[0016]

13 in Fig. 2(b) denotes a pixel electrode formed of ITO (indium tin oxide), which is connected with a drain region. As illustrated in Figs. 2(a) and (b), the upper portion of the transistors of the driving circuits of the liquid crystal display device of the present invention is protected by the silicon oxide based PSG film, and in addition, the liquid crystal layer itself also has a function of suppressing moisture and movable ions, and thus, acts as a protective layer.

[0017]

Fig. 3 illustrates the result of reliability estimate of a conventional device with driving circuits disposed outside a liquid crystal cell and with SiN as the protective layer, and of the driving circuit as an embodiment of the present invention.

[0018]

The reliability of the driving circuits was decided in a high temperature operation test. In the high temperature operation test, estimate was made with the temperature of 85°C and with the driving voltage which is higher than the rated voltage by 10%. As is clear from the figure, the reliability of the driving circuit is substantially similar to that of the conventional device.

[0019]



A process flow of a liquid crystal display device according to the present invention is described in the following using Figs. 4 - 20.

[0020]

First, as illustrated in Fig. 4, a first polysilicon (poly-Si) layer 21 with a film thickness of 80 nm was formed on a quartz substrate 20 by low pressure CVD. After silicon ions ( $\text{Si}^+$ ) were implanted, solid phase growth annealing was carried out at the temperature of  $620^\circ\text{C}$ . The condition of the above-mentioned  $\text{Si}^+$  implantation was in two stages: first at 30 KeV and  $1 \times 10^{15}/\text{cm}^2$ ; and then, at 50 KeV and  $1 \times 10^{15}/\text{cm}^2$ .

[0021]

Next, as illustrated in Fig. 5, etching was carried out using lithography to form first poly-Si layer regions 21a and 21b.

[0022]

Then, as illustrated in Fig. 6, an  $\text{SiO}_2$  gate insulating film 22 with a film thickness of 50 nm was formed by thermal oxidation.

[0023]

Next, as illustrated in Fig. 7, arsenic ions ( $\text{As}^+$ ) with the condition of 30 KeV and  $5 \times 10^{14}/\text{cm}^2$  were implanted into the first poly-Si layer region 21a of the Cs (storage capacitor) portion with resist 23 being as the mask.

[0024]

Then, as illustrated in Fig. 8, an SiN film was formed with a film thickness of 30 nm by low pressure CVD, and after partial etching, an SiN gate insulating film 24 was formed on the SiO<sub>2</sub> gate insulating film 22.

[0025]

Next, as illustrated in Fig. 9, a second polysilicon (poly-Si) layer 25 was formed at the thickness of 350 nm by low pressure CVD, and after that, an attempt was made by PSG to lower the resistance of the second poly-Si layer 25.

[0026]

Then, as illustrated in Fig. 10, patterning was carried out by plasma etching to form second poly-Si layer regions 25a and 25b on the SiN gate insulating film 24. CF<sub>4</sub> and O<sub>2</sub> were used as the etching gas with the ratio CF<sub>4</sub> / O<sub>2</sub> = 95/5.

[0027]

After that, as illustrated in Fig. 11, the TFT SiN gate insulating film 24 was partially etched and removed, As<sup>+</sup> ions were implanted all over with the condition of 100 KeV and  $1 \times 10^{13}/\text{cm}^2$ , and then, for the purpose of forming an N channel, As<sup>+</sup> ions were implanted on the side of the transistor with the condition of 140 KeV and  $2 \times 10^{15}/\text{cm}^2$ .

[0028]

Next, as illustrated in Fig. 12, after resist 27 was applied, for the purpose of forming a P channel, boron ions ( $B^+$ ) were implanted with the condition of 30 KeV and  $2 \times 10^{15}/\text{cm}^2$ .

[0029]

Then, as illustrated in Fig. 13, after the resist 27 was removed, PSG with a film thickness of 500 nm and an  $\text{SiO}_2$  interlayer insulating film 28 with a film thickness of 100 nm were formed by low pressure CVD.

[0030]

Next, as illustrated in Fig. 14, by wet etching the  $\text{SiO}_2$  interlayer insulating film 28 and the  $\text{SiO}_2$  gate insulating film 22 with  $\text{HF}/\text{NH}_4\text{F}$  being as the etchant, a first contact hole 29 for a leading electrode of a source or a drain was formed.

[0031]

Then, after an Al/Si film with a film thickness of 600 nm was formed all over the surface by sputtering, as illustrated in Fig. 15, wet etching was carried out using  $\text{H}_3\text{PO}_4 / \text{H}_2\text{O} = 2/10$  as the etchant and the Al/Si film was patterned to form an Al/Si electrode 30.

[0032]

Next, as illustrated in Fig. 16, a PSG passivation film 31 was formed with a film thickness of 400 nm by low pressure CVD, and then, an SiN passivation film 32 of SiN was formed by PCVD. After that, hydrogen annealing treatment was carried out at about  $400^\circ\text{C}$  for 30

minutes in a reducing atmosphere formed by diluting hydrogen ( $H_2$ ) with Ar.

[0033]

Then, as illustrated in Fig. 17, plasma etching was carried out with respect to the whole of the SiN passivation film 32 using  $CF_4 / O_2 = 95/5$  as the etching gas, and after that, wet etching was carried out with HF  $NH_4F$  as the etchant to form a second contact hole 33 for a leading electrode of the source or the drain reaching the first polysilicon layer region 21a.

[0034]

Next, as illustrated in Fig. 18, an ITO (indium tin oxide) film 34 was formed all over at the temperature of  $400^\circ C$  by sputtering.

[0035]

Then, as illustrated in Fig. 19, the ITO film 34 was patterned using  $HCL : H_2O : NO_3 = 300 : 300 : 50$  as the etchant to form an ITO pixel electrode 34a.

[0036]

Next, as illustrated in Fig. 20, a polyimide (PI) film 35 for orienting liquid crystal was formed on the exposed surface, that is, on the surface of the PSG passivation film 31 and of the ITO pixel electrode 34a to obtain an active matrix substrate. After Fig. 20, a liquid crystal layer was sandwiched between an upper substrate and the active matrix substrate formed according to this

manufacturing process to obtain a liquid crystal display device.

[0037]

[Effect of the Invention]

As described in the above, according to the present invention, since the process of forming a protective layer for transistors is simplified, and it is not necessary to use an SiN based protective layer, deterioration of the transistor characteristics due to membrane stress in an SiN film is not caused. Further, since an SiO<sub>2</sub> based (such as PSG) insulating film is used, organic adhesive can be used with sufficient adhesive strength when a liquid crystal cell is formed.

[Brief Description of the Drawings]

[Fig. 1]

A schematic perspective view illustrating an embodiment of a liquid crystal display device according to the present invention.

[Fig. 2]

Partial sectional views of the driving circuit portion and of the pixel switch of the liquid crystal display device of the present invention illustrated in Fig. 1.

[Fig. 3]

An illustration of the result of reliability estimate of a conventional device and of the driving circuit as an embodiment of the present invention.

[Fig. 4]

A manufacturing process flow chart of the embodiment.

[Fig. 5]

A manufacturing process flow chart of the embodiment.

[Fig. 6]

A manufacturing process flow chart of the embodiment.

[Fig. 7]

A manufacturing process flow chart of the embodiment.

[Fig. 8]

A manufacturing process flow chart of the embodiment.

[Fig. 9]

A manufacturing process flow chart of the embodiment.

[Fig. 10]

A manufacturing process flow chart of the embodiment.

[Fig. 11]

A manufacturing process flow chart of the embodiment.

[Fig. 12]

A manufacturing process flow chart of the embodiment.

[Fig. 13]

A manufacturing process flow chart of the embodiment.

[Fig. 14]

A manufacturing process flow chart of the embodiment.

[Fig. 15]

A manufacturing process flow chart of the embodiment.

[Fig. 16]

A manufacturing process flow chart of the embodiment.

[Fig. 17]

A manufacturing process flow chart of the embodiment.

[Fig. 18]

A manufacturing process flow chart of the embodiment.

[Fig. 19]

A manufacturing process flow chart of the embodiment.

[Fig. 20]

A manufacturing process flow chart of the embodiment.

[Fig. 21]

A schematic perspective view illustrating an example of a conventional liquid crystal display device.

[Description of Reference Symbols]

1 ... active matrix substrate

2 ... upper substrate

3 ... spacer

4 ... horizontal (scanning line) driving circuit

5 ... vertical (signal line) driving circuit

7 ... gate insulating film

8 ... polycrystalline silicon (poly-Si) gate

9 ... Al electrode

10a, 10b ... PSG protective film

10c ... PSG interlayer insulating film

11 ... polyimide orienting film

13 ... ITO pixel electrode

14 ... upper substrate

15 ... lower substrate

16 ... spacer

20 ... quartz substrate

21 ... first polysilicon (poly-Si) layer

22 ... SiO<sub>2</sub> gate insulating film

23 ... resist

24 ... SiN gate insulating film

25 ... second poly-Si layer

27 ... resist

28 ... SiO<sub>2</sub> interlayer insulating film

29 ... first contact hole

30 ... Al/Si electrode



- 31 ... PSG passivation film
- 32 ... SiN passivation film
- 33 ... second contact hole
- 34 ... ITO film
- 34a ... ITO pixel electrode
- 35 ... polyimide (PI) film

図面記

Fig. 1

SCHEMATIC PERSPECTIVE VIEW OF EMBODIMENT

- 1 ACTIVE MATRIX SUBSTRATE (WITH TFT CIRCUIT FORMED THEREON)
- 2 UPPER SUBSTRATE
- 3 SPACER (ENCAPSULATING LIQUID CRYSTAL LAYER)
- 4 HORIZONTAL (SCANNING LINE) DRIVING CIRCUIT
- 5 VERTICAL (SIGNAL LINE) DRIVING CIRCUIT

PSG PROTECTIVE FILM IS USED

LIQUID CRYSTAL CELL PORTION

Fig. 2

PARTIAL SECTIONAL VIEW OF EMBODIMENT

(a) DRIVING CIRCUIT PORTION

- 7a GATE INSULATING FILM ( $\text{SiN}$ )
- 7b GATE INSULATING FILM ( $\text{SiO}_2$ )
- 8 POLYCRYSTALLINE SILICON (POLY-Si) GATE
- 9 Al ELECTRODE
- 10a PSG PROTECTIVE LAYER
- 10b PSG PROTECTIVE LAYER
- 10c PSG INTERLAYER INSULATING FILM
- 11 POLYIMIDE ORIENTING FILM

(b) pixel switch

13 ITO PIXEL ELECTRODE

SOURCE

DRAIN

PIXEL PORTION

THIN FILM TRANSISTOR (TFT PORTION)

Cs PORTION

Fig. 3

RELIABILITY OF DRIVING CIRCUIT OF PRESENT  
INVENTION AND CONVENTIONAL DEVICE (FAILURE RATE)

HIGH TEMPERATURE OPERATION TEST AT 85°C

FAILURE RATE

TIME

UNIT: KILO

CONVENTIONAL DEVICE

PRESENT INVENTION

Fig. 4

MANUFACTURING PROCESS FLOW CHART

20 QUARTZ SUBSTRATE

21 FIRST POLY-Si LAYER

Fig. 5

21a FIRST POLY-Si LAYER REGION

Fig. 6

22 SiO<sub>2</sub> GATE INSULATING FILM

Fig. 7

23 RESIST

Fig. 8

20 QUARTZ SUBSTRATE

21a FIRST POLY-Si LAYER REGION

22 SiO<sub>2</sub> GATE INSULATING FILM

24 SiN GATE INSULATING FILM

Fig. 9

25 SECOND POLY-Si LAYER

Fig. 10

25a SECOND POLY-Si LAYER REGION

Fig. 12

20 QUARTZ SUBSTRATE

21a FIRST POLY-Si LAYER REGION

22 SiO<sub>2</sub> GATE INSULATING FILM

24 SiN GATE INSULATING FILM

25a SECOND POLY-Si LAYER REGION

27 RESIST

Fig. 13

28 INTERLAYER INSULATING FILM

Fig. 14

29 FIRST CONTACT HOLE

Fig. 15

30 Al/Si ELECTRODE

Fig. 16

31 PSG PASSIVATION FILM

32 SiN PASSIVATION FILM

Fig. 17

33 SECOND CONTACT HOLE

Fig. 18

34 ITO FILM

Fig. 19

20 QUARTZ SUBSTRATE

21a FIRST POLY-Si LAYER REGION

22 SiO<sub>2</sub> GATE INSULATING FILM

24 SiN GATE INSULATING FILM

25a SECOND POLY-Si LAYER REGION

28 INTERLAYER INSULATING FILM

30 Al/Si ELECTRODE

31 PSG PASSIVATION FILM

34a ITO PIXEL ELECTRODE

Fig. 20

35 POLYIMIDE (PI) FILM

Fig. 21

PERSPECTIVE VIEW OF CONVENTIONAL DEVICE

4 HORIZONTAL (SCANNING LINE) DRIVING CIRCUIT (WITH SiN  
PROTECTIVE FILM)

5 VERTICAL (SIGNAL LINE) DRIVING CIRCUIT (WITH SiN PROTECTIVE  
FILM)

14 UPPER SUBSTRATE

15 LOWER SUBSTRATE (WITH TFT CIRCUIT FORMED THEREON)

16 SPACER (ENCAPSULATING LIQUID CRYSTAL LAYER)

WITHOUT SiN PROTECTIVE FILM

LIQUID CRYSTAL CELL PORTION

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2000 EPO. All rts. reserv.

11088608

Basic Patent (No,Kind,Date): JP 5066413 A2 930319 <No. of Patents: 001>

**LIQUID CRYSTAL DISPLAY DEVICE** (English)

Patent Assignee: SONY CORP

Author (Inventor): INO MASUMITSU

IPC: \*G02F-001/1345; G02F-001/136

JAPIO Reference No: 170387P000138

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP <b>5066413</b>	A2	930319	JP 91226206	A	910905 (BASIC)

Priority Data (No,Kind,Date):

JP 91226206 A 910905

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04074713     \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.:     05-066413 [JP 5066413 A]

PUBLISHED:     March 19, 1993 (19930319)

INVENTOR(s):   INO MASUMITSU

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:     03-226206 [JP 91226206]

FILED:           September 05, 1991 (19910905)

INTL CLASS:     [5] G02F-001/1345; G02F-001/136

JAPIO CLASS:   29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R119 (CHEMISTRY --  
Heat Resistant Resins)

JOURNAL:        Section: P, Section No. 1576, Vol. 17, No. 387, Pg. 138, July  
20, 1993 (19930720)

ABSTRACT

PURPOSE: To obtain a liquid crystal display device in which a protective layer for a transistor is easily formed and which has stab transistor characteristic without using the SiN based protective layer.

CONSTITUTION: This device is provided with an active matrix substrate 1 where a liquid crystal display part consisting of a matrix-state picture element electrode and a thin film transistor part for driving the picture element electrode, a horizontal(scanning line) driving circuit 4 which is connected to the liquid crystal display part, and a vertical(signal line) driving circuit 5 which is connected to the liquid crystal display part are formed; an upper substrate 2 which is overall opposed to the active matrix substrate; and a liquid crystal layer interposed and held between the active matrix substrate 1 and the upper substrate 2. Then, the liquid crystal display part is protected by a silicon oxide based insulating film and the liquid crystal layer.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-66413

(43)公開日 平成 5 年(1993) 3 月19日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1345	9018-2K		
	1/136	5 0 0	9018-2K	

審査請求 未請求 請求項の数 1 (全 7 頁)

(21)出願番号 特願平3-226206

(22)出願日 平成 3 年(1991) 9 月 5 日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 猪野 益充

東京都品川区北品川 6 丁目 7 番35号 ソニ  
ー株式会社内

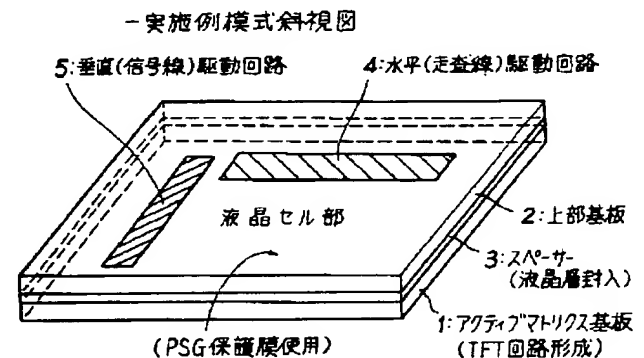
(74)代理人 弁理士 山口 邦夫 (外 1 名)

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 トランジスタの保護層の形成が容易で、しかも S i N 系の保護層を使用することなく安定したトランジスタ特性を有する液晶表示装置を提供する。

【構成】 マトリクス状の画素電極 1 3 とこの画素電極を駆動する薄膜トランジスタ部とからなる液晶表示部と、この液晶表示部に接続された走査線駆動回路 4 と、前記液晶表示部に接続された信号線駆動回路 5 とが形成されたアクティブマトリクス基板 1 と、このアクティブマトリクス基板に全面的に対向する上部基板 2 と、前記アクティブマトリクス基板 1 と上部基板 2 との間に挟持された液晶層とを備え、前記液晶表示部が酸化シリコン系絶縁膜と前記液晶層とで保護されている。



## 【特許請求の範囲】

【請求項 1】 マトリクス状に配列された画素電極と、この画素電極を駆動する薄膜トランジスタとからなる液晶表示部と、この液晶表示部に接続された走査線駆動回路と、前記液晶表示装置に接続された信号線駆動回路とが形成されたアクティブマトリクス基板と、このアクティブマトリクス基板に全面的に対向する上部基板と、前記アクティブマトリクス基板と上部基板との間に挟持された液晶層とを備え、前記液晶表示部が酸化シリコン系絶縁膜と前記液晶層とで保護されていることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶表示装置に係り、特に薄膜トランジスタで構成された駆動回路を液晶セル内に内蔵した液晶表示装置に関するものである。

## 【0002】

【従来の技術】 従来の液晶表示装置は、図 21 に示すように、液晶セル部の外側に薄膜トランジスタ (TFT) を形成した水平 (走査線) 駆動回路 (Horizontal - Driver) 4 および垂直 (信号線) 駆動回路 (Vertical - Driver) 5 の各駆動回路を設けていた。すなわち、液晶セル部のみが上部基板 14、下部基板 15 およびその上部、下部基板によって挟持され、スペーサ 16 により封入された液晶層 (図示せず) が全面的に対向するように構成されていた。

【0003】 このように、TFT を形成した駆動回路を液晶セル部の外側に設けた状態では、駆動回路への水分、ナトリウム等の可動イオンの進入を防止するための SiN 系からなる保護層を駆動回路に使用している TFT 部に使用する必要があった。

【0004】 一方、液晶セル内では、配向剤としてポリイミド (PI) 系を使用しているため、二酸化シリコン (SiO<sub>2</sub>) 系の TFT トランジスタ保護絶縁膜を画素部に使用しなければならなかった。

## 【0005】

【発明が解決しようとする課題】 液晶セル内で上記 SiO<sub>2</sub> 系の代わりに SiN 系の絶縁膜をトランジスタの保護層として使用すると、ポリイミドの密着性、配向膜の均一性が損なわれる。その結果、液晶の配向性が損なわれる。しかも、SiN 系の保護層をトランジスタ上部に使用すると、SiN 内に残留している膜応力がトランジスタの特性、例えば V<sub>TH</sub> をシフトさせる。

【0006】 また、特公平 2-61032 号公報には液晶セル内に各駆動回路を内蔵した液晶表示装置が開示されているものの、この液晶表示装置にはトランジスタ保護用のパッシベーション膜材質の規定はなく、上記の問題を依然として残していた。

【0007】 本発明はトランジスタ保護層の形成が容易で、しかも SiN 系の保護層を使用することなく、安定

したトランジスタ特性を有する液晶表示装置を提供することを目的とする。

## 【0008】

【課題を解決するための手段】 上記課題は、本発明によれば、マトリクス状に配列された画素電極と、この画素電極を駆動する薄膜トランジスタとからなる液晶表示部と、この液晶表示部に接続された走査線駆動回路と、前記液晶表示装置に接続された信号線駆動回路とが形成されたアクティブマトリクス基板と、このアクティブマトリクス基板に全面的に対向する上部基板と、前記アクティブマトリクス基板と上部基板との間に挟持された液晶層とを備え、前記液晶表示部が酸化シリコン系絶縁膜と前記液晶層とで保護されていることを特徴とする液晶表示装置によって解決される。

## 【0009】

【作用】 本発明によれば、画素電極 13 と薄膜トランジスタとからなる液晶表示部、走査線駆動回路 4 および信号線駆動回路 5 がアクティブマトリクス基板上に形成され、そのアクティブマトリクス基板に全面的に対向するように上部基板 2 が形成され、しかも上記液晶表示部が酸化シリコン系絶縁膜と液晶層とで保護されているためにトランジスタの保護層の形成工程が簡略化される。しかも、SiN 系の保護層を使用しないため SiN 膜内に残留する膜応力に起因したトランジスタ特性、例えば V<sub>TH</sub> 等の劣化を生じない。

【0010】 本発明では、酸化シリコン系絶縁膜として PSG (リン珪酸ガラス)、BSG (ホウ珪酸ガラス) 等が好ましく用いられる。もちろん、SiO<sub>2</sub> (二酸化シリコン) でもよい。

## 【0011】

【実施例】 以下、本発明の実施例を図面に基づいて詳細に説明する。

【0012】 図 1 は、本発明による液晶表示装置の一実施例を示す模式斜視図である。図 1 に示すように、本発明による液晶表示装置は、薄膜トランジスタが能動スイッチング素子として形成された下部基板としてのアクティブマトリクス基板 1 と、このアクティブマトリクス基板 1 に対向する上部基板 2 と、それらの基板 1、2 に挟持されスペーサ 3 で封入された液晶層を有し、アクティブマトリクス基板 1 上に水平 (走査線) 駆動回路 4 と垂直 (信号線) 駆動回路 5 がそれぞれ液晶セル内に蔵される形態で設けられている。さらに、本液晶表示装置は、以下図 2 により詳しく示されているように、トランジスタ保護用の絶縁膜 (パッシベーション膜) として PSG 等の酸化シリコン系の絶縁膜が使用される。また、液晶層そのものもトランジスタ保護に寄与している。

【0013】 図 2 (a) および (b) は図 1 に示した本発明の液晶表示装置のそれぞれ駆動回路部の部分断面図および画素スイッチ部分断面図を示す。

【0014】 まず、図 2 (a) に示すように、駆動回路

部では特にCMOS部が示されており、ゲート絶縁膜7、多結晶シリコン(poly-Si)ゲート8、アルミニウム(Al)電極9、PSG保護層10a、10b、PSG層間絶縁膜10c及びポリイミド配向膜11で構成されている。

【0015】次に、図2(b)に示された画素スイッチは、画素部、薄膜トランジスタ(TFT)部、ストレージキャパシタ(Cs)部から構成されている。図2

(b)において図2(a)で示した符号と同一符号は同一の要素を示す。

【0016】図2(b)中13は、ITO(インジウム錫酸化物)からなる画素電極であり、ドレイン領域と接続されている。図2(a)及び(b)に示されているように、本発明の液晶表示装置の駆動回路のトランジスタ上方は、酸化シリコン系のPSG膜で保護され、しかも液晶層そのものも水分、可動イオンの抑止機能を有し、保護層として作用する。

【0017】図3は、駆動回路を液晶セルの外部に配設し、保護層をSiNとした従来装置と、本発明実施例の駆動回路の信頼性の評価結果を示す。

【0018】駆動回路の信頼性は、高温動作試験により判断した。高温動作試験は85℃の温度で定格の10%増の駆動電圧により評価した。図から明らかなように、従来例とほぼ同じ信頼性を有することがわかる。

【0019】以下、本発明による液晶表示装置のプロセスフローを図4～図20を用いて説明する。

【0020】まず、図4に示すように、石英基板20上に減圧CVD法により膜厚80nmの第1ポリシリコン(poly-Si)層21を形成し、シリコンイオン(Si<sup>+</sup>)注入後、620℃の温度で固相成長アニールを行った。上記のSi<sup>+</sup>の注入の条件は、30KeV、 $1 \times 10^{15}/\text{cm}^2$ の後、50KeV、 $1 \times 10^{15}/\text{cm}^2$ の2回で行った。

【0021】次に、図5に示すように、リソグラフィ技術によりエッチングし、第1poly-Si層領域21a、21bを形成した。

【0022】次に、図6に示すように、熱酸化法により膜厚50nmのSiO<sub>2</sub>ゲート絶縁膜22を形成した。

【0023】次に、図7に示すように、レジスト23をマスクとしてCs(ストレージキャパシタ)部の第1poly-Si層領域21aに砒素イオン(As<sup>+</sup>)を30KeV、 $5 \times 10^{14}/\text{cm}^2$ の条件でイオン注入した。

【0024】次に、図8に示すように、減圧CVD法によりSiN膜を30nm膜厚に形成し、一部エッチング後、SiO<sub>2</sub>ゲート絶縁膜22上にSiNゲート絶縁膜24を形成した。

【0025】次に、図9に示すように、減圧CVD法により、第2ポリシリコン(poly-Si)層25を厚さ350nmに形成し、その後PSGによる第2pol

y-Si層25の低抵抗化を図った。

【0026】次に、図10に示すように、プラズマエッチによりパターニングし、SiNゲート絶縁膜24上に第2poly-Si層領域25a、25bを形成する。エッチングガスとしてCF<sub>4</sub>、O<sub>2</sub>を用い、CF<sub>4</sub>/O<sub>2</sub>=95/5とした。

【0027】次に、図11に示すように、TFTのSiNゲート絶縁膜24を一部エッチング除去し、As<sup>+</sup>を100KeV、 $1 \times 10^{13}/\text{cm}^2$ の条件で全面にイオン注入し、更にNチャネルを作るべくトランジスタ側にAs<sup>+</sup>を140KeV、 $2 \times 10^{15}/\text{cm}^2$ の条件でイオン注入した。

【0028】次に、図12に示すように、レジスト27を塗布後、Pチャネルを作るべくボロンイオン(B<sup>+</sup>)を30KeV、 $2 \times 10^{15}/\text{cm}^2$ の条件でイオン注入した。

【0029】次に図13に示すように、レジスト27を除去した後、減圧CVD法により500nmの膜厚のPSG及び100nmの膜厚のSiO<sub>2</sub>層間絶縁膜28を形成した。

【0030】次に、図14に示すようにSiO<sub>2</sub>層間絶縁膜28とSiO<sub>2</sub>ゲート絶縁膜22をHF/NH<sub>4</sub>Fをエッチャントとしたウェットエッチにより、ソースまたはドレインの引出電極用の第1コンタクトホール29を形成した。

【0031】次に、全面にAl/Si膜をスパッタ法により膜厚600nmに形成した後、図15に示すように、H<sub>3</sub>PO<sub>4</sub>/H<sub>2</sub>O=2/10のエッチャントを用いてウェットエッチングを行い、Al/Si膜をパターニングし、Al/Si電極30を形成した。

【0032】次に、図16に示すように、減圧CVD法によりPSGパッシベーション膜31を膜厚400nmに形成し、次にPCVD法を用いてSiNからなるSiNパッシベーション膜32を形成した。その後、水素(H<sub>2</sub>)のAr希釈の還元性雰囲気中で約400℃、30分間水素アニール処理を行った。

【0033】次に、図17に示すように、SiNパッシベーション膜32の全体をCF<sub>4</sub>/O<sub>2</sub>=95/5のエッチングガスによりプラズマエッチングした後、HF/NH<sub>4</sub>Fをエッチャントとしたウェットエッチにより第1ポリシリコン層領域21aに届くソースあるいはドレインの引出電極用の第2コンタクトホール33を形成した。

【0034】次に、図18に示すように、スパッタ法により、400℃の温度でITO(インジウム錫酸化物)膜34を全面に被着形成した。

【0035】次に、図19に示すように、HCl:H<sub>2</sub>O:NO<sub>3</sub>=300:300:50のエッチャントによりITO膜34をパターニングし、ITO画素電極34aを形成した。

【0036】次に、図20に示すように、露出面上、すなわちPSGパッシベーション膜31とITO画素電極34aの表面上に液晶配向用のポリイミド(PI)膜35を形成し、アクティブマトリクス基板を得た。図20の後は上部基板と本製造プロセスで形成したアクティブマトリクス基板との間に液晶層を挟持して液晶表示装置が得られた。

【0037】

【発明の効果】以上、説明したように、本発明によれば、トランジスタの保護層の形成工程が簡略化でき、しかもSiN系の保護層を使用する必要がないため、SiN膜の膜応力に起因したトランジスタ特性の劣化が生じない。また、SiO<sub>2</sub>系(PSG等)の絶縁膜を使用することにより、液晶セル形成時、十分な接着強度をもって有機性接着剤を使用することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の一実施例を示す模式斜視図である。

【図2】図1に示した本発明の液晶表示装置の駆動回路部及び画素スイッチの部分断面図である。

【図3】従来装置と本発明実施例の駆動回路の信頼性の評価結果を示す図である。

【図4】実施例の製造プロセスフロー図である。

【図5】実施例の製造プロセスフロー図である。

【図6】実施例の製造プロセスフロー図である。

【図7】実施例の製造プロセスフロー図である。

【図8】実施例の製造プロセスフロー図である。

【図9】実施例の製造プロセスフロー図である。

【図10】実施例の製造プロセスフロー図である。

【図11】実施例の製造プロセスフロー図である。

【図12】実施例の製造プロセスフロー図である。

【図13】実施例の製造プロセスフロー図である。

【図14】実施例の製造プロセスフロー図である。

【図15】実施例の製造プロセスフロー図である。

【図16】実施例の製造プロセスフロー図である。

【図17】実施例の製造プロセスフロー図である。

【図18】実施例の製造プロセスフロー図である。

【図19】実施例の製造プロセスフロー図である。

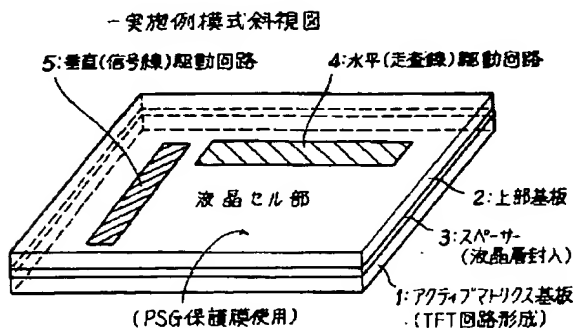
【図20】実施例の製造プロセスフロー図である。

【図21】従来の液晶表示装置の一例を示す模式斜視図である。

【符号の説明】

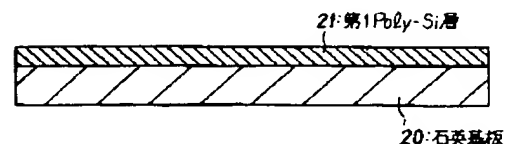
- 1 アクティブマトリクス基板
- 2 上部基板
- 3 スペース
- 4 水平(走査線)駆動回路
- 5 垂直(信号線)駆動回路
- 7 ゲート絶縁膜
- 8 多結晶シリコン(poly-Si)ゲート
- 9 Al電極
- 10a, 10b PSG保護膜
- 10c PSG層間絶縁膜
- 11 ポリイミド配向膜
- 13 ITO画素電極
- 14 上部基板
- 15 下部基板
- 16 スペース
- 20 石英基板
- 21 第1ポリシリコン(poly-Si)層
- 22 SiO<sub>2</sub>ゲート絶縁膜
- 23 レジスト
- 24 SiNゲート絶縁膜
- 25 第2poly-Si層
- 27 レジスト
- 28 SiO<sub>2</sub>層間絶縁膜
- 29 第1コンタクトホール
- 30 Al/Si電極
- 31 PSGパッシベーション膜
- 32 SiNパッシベーション膜
- 33 第2コンタクトホール
- 34 ITO膜
- 34a ITO画素電極
- 35 ポリイミド(PI)膜

【図1】

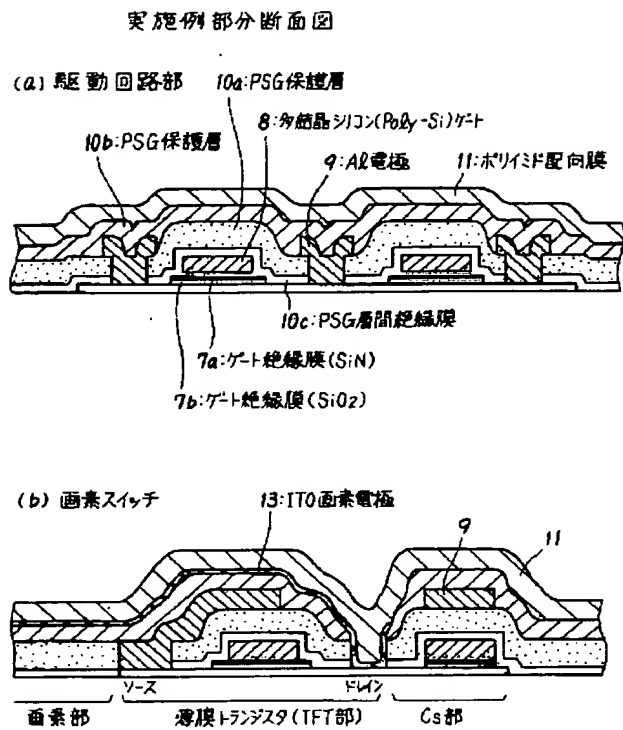


【図4】

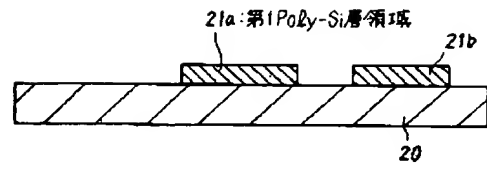
製造プロセスフロー図



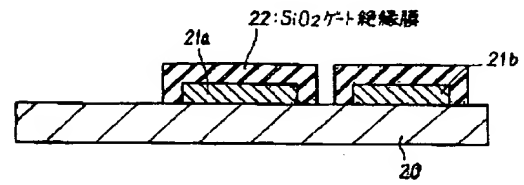
【図2】



【図5】



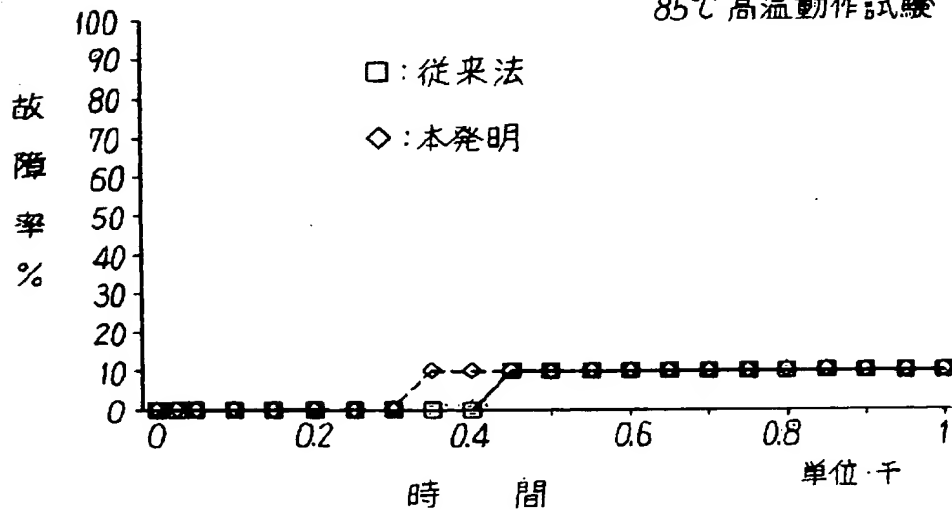
【図6】



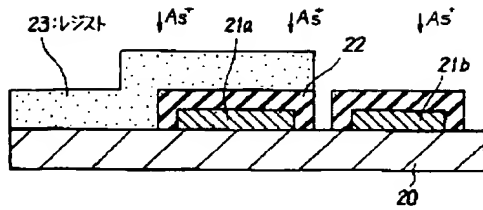
【図3】

本発明と従来法の駆動回路の信頼性(故障発生率)

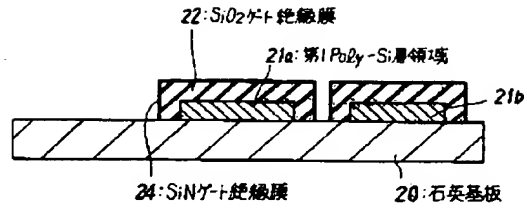
85°C 高温動作試験



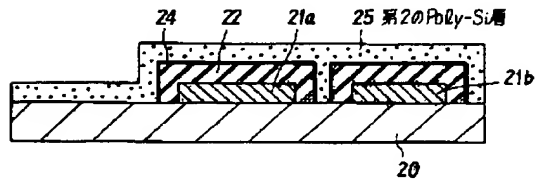
【図 7】



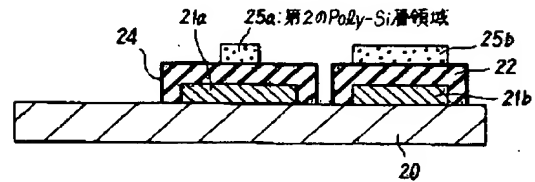
【図 8】



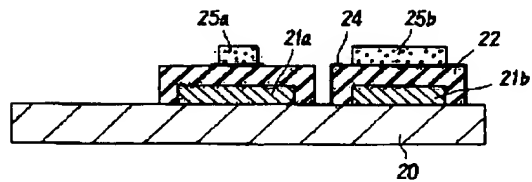
【図 9】



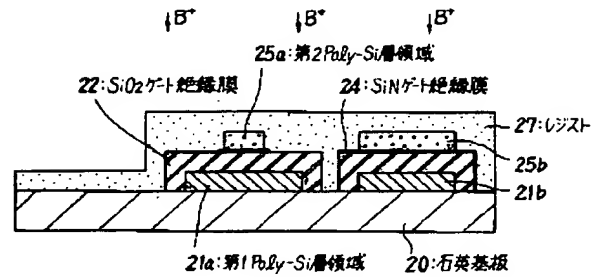
【図 10】



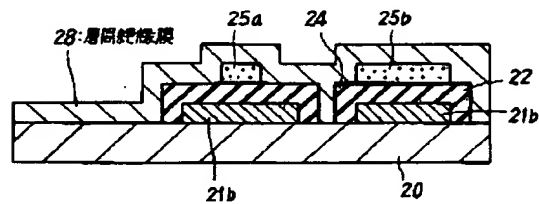
【図 11】



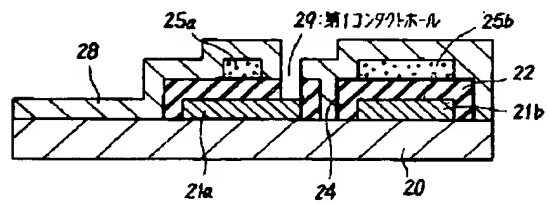
【図 12】



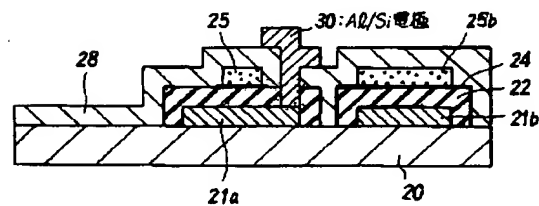
【図 13】



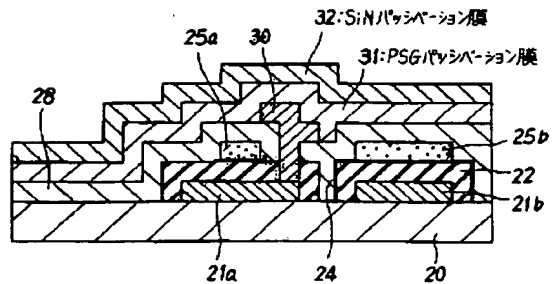
【図 14】



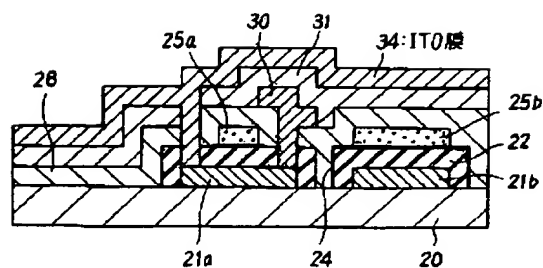
【図 15】



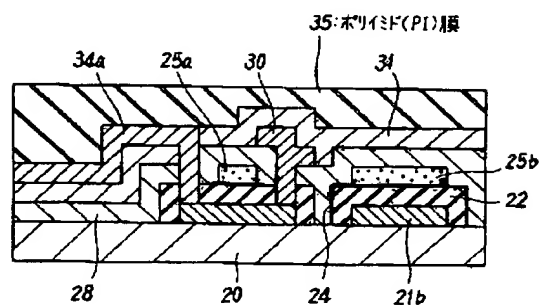
【図 16】



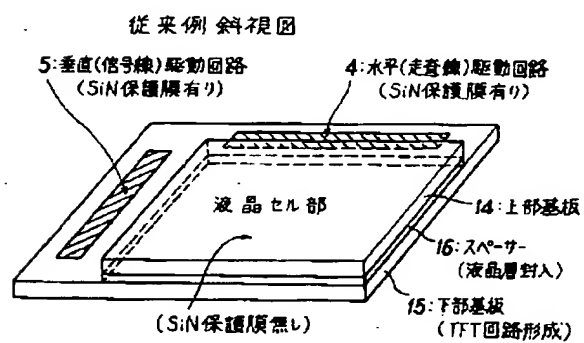
【図 18】



【図 20】



【図 2 1】



【公報種別】 特許法第 17 条の 2 の規定による補正の掲載

【部門区分】 第 6 部門第 2 区分

【発行日】 平成 11 年（1999）8 月 27 日

【公開番号】 特開平 5—66413

【公開日】 平成 5 年（1993）3 月 19 日

【年通号数】 公開特許公報 5—665

【出願番号】 特願平 3—226206

【国際特許分類第 6 版】

G02F 1/1345  
1/136 500

【F I】

G02F 1/1345  
1/136 500

【手続補正書】

【提出日】 平成 10 年 9 月 4 日

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正内容】

【特許請求の範囲】

【請求項 1】 マトリクス状に配列された画素電極と、この画素電極を駆動する薄膜トランジスタを有する液晶表示部と、この液晶表示部に接続された周辺駆動回路部とが形成されたアクティブマトリクス基板と、このアクティブマトリクス基板と前記周辺駆動回路も含んで対向するように配置された対向基板と、前記アクティブマトリクス基板と対向基板との間に挟持された液晶層とを備え、前記周辺駆動回路部が前記液晶層で保護されていることを特徴とする液晶表示装置。

【請求項 2】 前記液晶表示部は、酸化シリコン系絶縁膜と前記液晶層とで保護されている請求項 1 記載の液晶

表示装置。

【手続補正 2】

【補正対象書類名】 明細書

【補正対象項目名】 0008

【補正方法】 変更

【補正内容】

【0008】

【課題を解決するための手段】 上記課題は、本発明によれば、マトリクス状に配列された画素電極と、この画素電極を駆動する薄膜トランジスタを有する液晶表示部と、この液晶表示部に接続された周辺駆動回路部とが形成されたアクティブマトリクス基板と、このアクティブマトリクス基板と前記周辺駆動回路も含んで対向するように配置された対向基板と、前記アクティブマトリクス基板と対向基板との間に挟持された液晶層とを備え、前記周辺駆動回路部が前記液晶層で保護されていることを特徴とする液晶表示装置によって解決される。